PATENT
8947-000068US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: JONG-HYUN CHOI

Application No.: New Application

Filed: January 22, 2004

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

**PRIORITY LETTER**

January 13, 2004 Honorable Commissioner of Patents and Trademarks
Washington, DC 20231

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

| **Application No.** | **Date Filed** | **Country** |
|---|---|---|
| 10-2003-0008200 | February 10, 2003 | REPUBLIC OF KOREA |

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By ____________________

John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj

# 대한민국특허청
# KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2003-0008200
Application Number

출 원 년 월 일 : 2003년 02월 10일
Date of Application FEB 10, 2003

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 11 월 04 일

특 허 청
COMMISSIONER

【서지사항】

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0002

【제출일자】 2003.02.10

【발명의 명칭】 듀얼 절연막 체계를 갖는 반도체 집적 회로 장치

【발명의 영문명칭】 SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE WITH DUAL INSULATION SYSTEM

【출원인】

【명칭】 삼성전자 주식회사

【출원인코드】 1-1998-104271-3

【대리인】

【성명】 임창현

【대리인코드】 9-1998-000386-5

【포괄위임등록번호】 1999-007368-2

【대리인】

【성명】 권혁수

【대리인코드】 9-1999-000370-4

【포괄위임등록번호】 1999-056971-6

【발명자】

【성명의 국문표기】 최종현

【성명의 영문표기】 CHOI,JONG HYUN

【주민등록번호】 650120-1927221

【우편번호】 442-706

【주소】 경기도 수원시 팔달구 망포동 동수원엘지빌리지 102동 1604호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 26 면 26,000 원

| | | | | |
|---|---|---|---|---|
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
| 【심사청구료】 | 28 | 항 | 1,005,000 | 원 |
| 【합계】 | 1,060,000 | 원 | | |

【첨부서류】 1. 요약서·명세서(도면)_1통

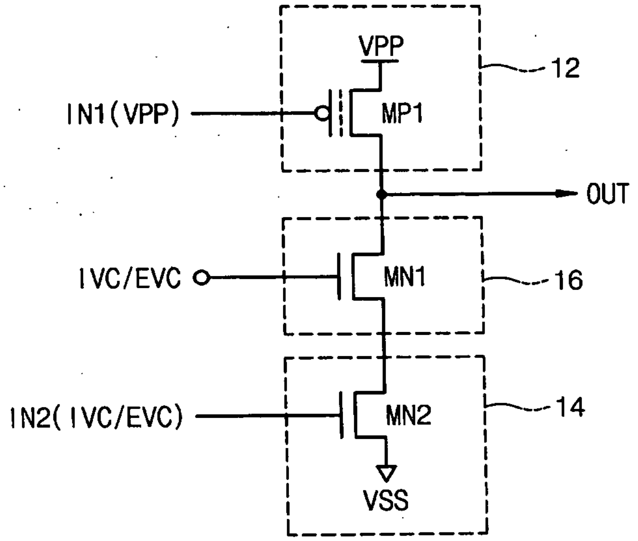
# 【요약서】

## 【요약】

본 발명에 따른 반도체 집적 회로 장치는 제 1 내부 회로, 제 2 내부 회로, 그리고 인터페이스 회로를 포함한다. 제 1 내부 회로는 전원 전압보다 높은 제 1 전압으로 동작하고 상대적으로 두꺼운 게이트 절연막을 갖는 제 1 모오스 트랜지스터를 포함한다. 제 2 내부 회로는 상기 제 1 전압보다 낮은 제 2 전압으로 동작하고 상대적으로 얇은 게이트 절연막을 갖는 제 2 모오스 트랜지스터를 포함한다. 인터페이스 회로는 상기 제 2 모오스 트랜지스터의 게이트 절연막에 걸리는 전계를 줄이기 위해서, 상기 제 1 내부 회로에서 상기 제 2 내부 회로로 전달되는 전압을 제한한다. 이에 따라, 고전압에 의한 게이트 절연막의 파괴를 방지함과 아울러 모오스 트랜지스터의 턴-온 속도의 저하를 방지할 수 있다.

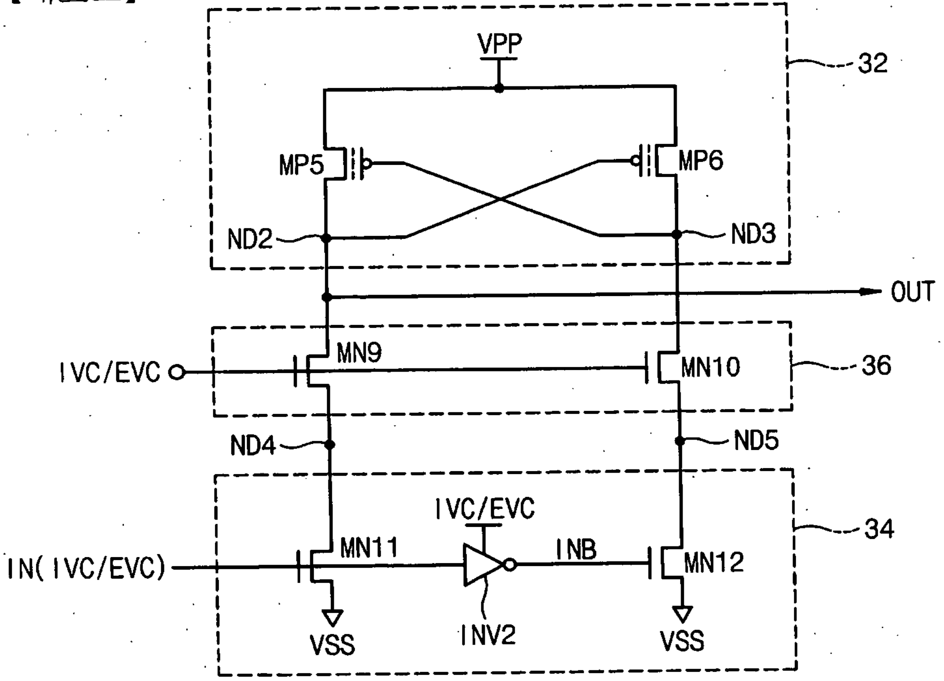
## 【대표도】

10


VPP
12
IN1(VPP)
MP1
OUT
IVC/EVC
MN1
16
IN2(IVC/EVC)
MN2
14
VSS

30

【대표도】


VPP
32
MP5
MP6
ND2
ND3
OUT
IVC/EVC
MN9
MN10
36
ND4
ND5
IVC/EVC
34
IN(IVC/EVC)
MN11
INB
MN12
VSS
INV2
VSS

# 【명세서】

## 【발명의 명칭】

듀얼 절연막 체계를 갖는 반도체 집적 회로 장치{SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE WITH DUAL INSULATION SYSTEM}

## 【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 집적 회로 장치를 보여주는 회로도;

도 2는 도 1에 도시된 모오스 트랜지스터의 게이트 절연막에 걸리는 전압차를 설명하기 위한 도면;

도 3 및 도 4는 본 발명에 따른 반도체 집적 회로 장치들의 다른 실시예들을 보여주는 회로도;

도 5는 본 발명에 따른 반도체 집적 회로 장치를 이용한 반도체 메모리 장치를 보여주는 블록도;

도 6은 도 5에 도시된 레벨 변환 블록의 일부를 보여주는 회로도;

도 7은 도 5에 도시된 행 디코더 및 구동 블록의 일부를 보여주는 회로도;

도 8은 본 발명에 따른 반도체 메모리 장치의 읽기 동작을 설명하기 위한 타이밍도;

도 9는 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 10은 도 9에 도시된 행 디코더 및 구동 블록의 일부를 보여주는 회로도이다.

* 도면의 주요 부분에 대한 부호 설명 *

10, 20, 30 : 반도체 집적 회로 장치 12, 22, 32 : 제 1 내부 회로

14, 24, 34 : 제 2 내부 회로 16, 26, 36 : 인터페이스 회로

100 : 반도체 메모리 장치 110 : 메모리 셀 어레이

120 : 행 프리-디코더 130 : 행 디코더 및 구동 블록

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 집적 회로 장치에 관한 것이다. 좀 더 구체적으로는, 전원 전압과, 전원 전압보다 높은 고전압과 같은 다른 동작 전압들을 이용한 반도체 집적 회로 장치에 관한 것이다.

<16> PDA (Personal Digital Assistant), 노트북 컴퓨터 또는 모바일 폰과 같은 전자 장치들은 배터리로부터 공급되는 전원으로 동작한다. 사용자들은 재충전 없이 보다 오랜 시간 동안 그러한 전자 장치를 사용하기를 원한다. 그러한 요구는 동작 전류 또는 전압을 낮춤으로써 달성될 수 있다. 이러한 요구와 더불어, 현재의 전자 장치들은 빠른 동작 속도를 요구하고 있다. 동작 속도를 빠르게 하기 위해서는 모오스 트랜지스터의 게이트 절연막을 보다 얇게 형성하여야 한다.

<17> 낮은 동작 전압에서 동작하는 전자 장치는 많은 반도체 집적 회로 장치들을 포함하며, 각 반도체 집적 회로 장치는 내부 전원 전압으로서 외부 전원 전압을 그대로 사용함과 아울러 외부 전원 전압 또는 내부 전원 전압보다 높은 고전압을 사용한다. 고전압으로 동작하는 모오스 트랜지스터에는 고전압에 대한 내압 (withstanding voltage)를 높이기 위해서 상대적으로 두꺼운 절연막이 채용된다. 반면에, 고전압보다 낮은 전압으로 동작하는 모오스 트랜지스터는

상대적으로 얇은 절연막을 사용한다. 이러한 절연막 체계는 이하 "듀얼 절연막 체계(dual insulation system)"라 칭한다.

<18> 상대적으로 두꺼운 절연막을 채용하는 경우, 모오스 트랜지스터의 게이트-드레인 전압차로 인한 게이트 절연막의 파괴를 방지할 수 있다. 게이트 절연막의 두께가 두꺼워지면, 모오스 트랜지스터의 문턱 전압은 증가된 절연막 두께에 비례하여 높아진다. 문턱 전압의 증가는 곧 모오스 트랜지스터의 턴-온 속도의 저하를 초래하며, 그 결과 전반적인 동작 속도가 저하될 수 있다. 따라서, 듀얼 절연막 체계를 이용한 반도체 집적 회로 장치에서 앞서 설명된 현상을 해결하기 위한 제어 기술이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명의 목적은 듀얼 절연막 체계에서 생기는 동작 속도의 저하를 방지할 수 있는 반도체 집적 회로 장치를 제공하는 것이다.

<20> 본 발명의 다른 목적은 듀얼 절연막 체계에서 모오스 트랜지스터의 게이트 절연막에 걸리는 전계를 효과적으로 줄일 수 있는 반도체 집적 회로 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<21> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 반도체 집적 회로 장치가 제공되며, 이 장치는 전원 전압보다 높은 제 1 전압으로 동작하고 상대적으로 두꺼운 게이트 절연막을 갖는 제 1 모오스 트랜지스터를 포함하는 제 1 내부 회로와; 상기 제 1 전압보다 낮은 제 2 전압으로 동작하고 상대적으로 얇은 게이트 절연막을 갖는 제 2 모오스 트랜지스터를 포함하는 제 2 내부 회로와; 그리고 상기 제 2 모오스 트랜지스터의 게이트 절연막에 걸리는

전계를 줄이기 위해서, 상기 제 1 내부 회로에서 상기 제 2 내부 회로로 전달되는 전압을 제한하는 수단을 포함한다.

<22> 상기 제 2 전압은 외부 전원 전압, 상기 전원 전압, 상기 전원 전압보다 낮은 전압, 그리고 상기 전원 전압보다 높고 상기 제 1 전압보다 낮은 전압 중 어느 하나이다. 상기 제한 수단은 상기 제 2 전압으로 동작하고 상기 얇은 게이트 절연막을 갖는 제 3 모오스 트랜지스터를 포함한다. 구체적으로, 상기 제 1 내부 회로로부터의 전압은 상기 제 3 모오스 트랜지스터를 통해 상기 제 2 내부 회로로 공급된다.

<23> 본 발명의 다른 특징에 따르면, 반도체 집적 회로 장치는 전원 전압보다 높은 고전압을 공급받는 전원 단자와; 상기 전원 단자에 연결된 제 1 전류 전극, 출력 단자에 연결된 제 2 전류 전극, 그리고 제 1 입력 신호에 연결된 게이트를 갖는 제 1 트랜지스터와; 상기 출력 단자에 연결된 제 1 전류 전극, 제 2 전류 전극, 그리고 상기 고전압보다 낮은 저 전압에 연결된 게이트를 갖는 제 2 트랜지스터와; 그리고 상기 제 2 트랜지스터의 제 2 전류 전극과 연결된 제 1 전류 전극, 접지 전압에 연결된 제 2 전류 전극, 그리고 제 2 입력 신호를 받아들이도록 연결된 게이트를 갖는 제 3 트랜지스터를 포함한다. 여기서, 상기 제 1 트랜지스터는 상대적으로 두꺼운 게이트 절연막을 갖고, 상기 제 2 및 제 3 트랜지스터들 각각은 상대적으로 얇은 게이트 절연막을 갖는다.

<24> 바람직한 실시예에 있어서, 상기 저 전압은 외부 전원 전압, 상기 전원 전압, 상기 전원 전압보다 낮은 전압, 그리고 상기 전원 전압보다 높고 상기 고전압보다 낮은 전압 중 어느 하나이다.

<25> 바람직한 실시예에 있어서, 상기 제 1 입력 신호는 상기 제 1 전압의 하이 레벨과 상기 접지 전압의 로우 레벨을 선택적으로 갖고, 상기 제 2 입력 신호는 상기 저 전압의 하이 레벨과 상기 접지 전압의 로우 레벨을 선택적으로 갖는다.

<26> 바람직한 실시예에 있어서, 상기 제 2 입력 신호는 반도체 메모리 장치에서 행 어드레스 신호를 포함한다.

<27> 바람직한 실시예에 있어서, 상기 제 2 트랜지스터와 상기 제 3 트랜지스터의 연결 노드에 연결되는 인버터를 더 포함하며, 상기 인버터는 상기 반도체 메모리 장치의 워드 라인을 구동한다. 상기 인버터는 상기 고전압으로 동작하며 상기 상대적으로 두꺼운 게이트 절연막을 갖는 PMOS 및 NMOS 트랜지스터들로 구성된다.

<28> 바람직한 실시예에 있어서, 상기 제 3 트랜지스터와 상기 접지 전압 사이에 연결되는 제 4 트랜지스터를 더 포함하며, 상기 제 4 트랜지스터는 상기 상대적으로 얇은 게이트 절연막을 갖는다. 상기 제 4 트랜지스터는 반도체 메모리 장치에서 블록 선택 신호에 의해서 제어된다.

<29> 본 발명의 또 다른 특징에 따르면, 반도체 집적 회로 장치는 전원 전압보다 높은 고전압을 공급받는 전원 단자와; 상기 전원 단자와 제 1 내부 노드 사이에 연결되며, 상대적으로 두꺼운 게이트 절연막을 갖는 제 1 모오스 트랜지스터와; 상기 전원 단자와 제 2 내부 노드 사이에 연결되며, 상기 상대적으로 두꺼운 게이트 절연막을 갖는 제 2 모오스 트랜지스터와; 상기 제 1 모오스 트랜지스터는 상기 제 2 내부 노드의 전압에 의해서 제어되고, 상기 제 2 모오스 트랜지스터는 상기 제 1 내부 노드의 전압에 의해서 제어되며; 상기 제 1 내부 노드와 제 3 내부 노드 사이에 그리고 상기 제 2 내부 노드와 제 4 내부 노드 사이에 각각 연결되며, 각각 상대적으로 얇은 게이트 절연막을 갖는 제 3 및 4 모오스 트랜지스터들과; 그리고 상기 제 3 내부 노드와 접지 전압 사이에 그리고 상기 제 4 내부 노드와 상기 접지 전압 사이에 각각 연결

되며, 각각 상기 상대적으로 얇은 게이트 절연막을 갖는 제 5 및 제 6 모오스 트랜지스터들을 포함한다. 여기서, 상기 제 3 및 제 4 모오스 트랜지스터들의 게이트들은 상기 고전압보다 낮은 저 전압에 연결되며; 상기 제 5 모오스 트랜지스터는 제 1 입력 신호에 의해서 제어되고 제 6 모오스 트랜지스터는 상기 제 1 입력 신호의 반전된 신호에 의해서 제어된다.

<30> 바람직한 실시예에 있어서, 상기 제 1 입력 신호 및 상기 반전된 신호 각각은 상기 저 전압의 하이 레벨과 상기 접지 전압의 로우 레벨을 선택적으로 갖고, 상기 저 전압은 외부 전원 전압, 상기 전원 전압, 상기 전원 전압보다 낮은 전압, 그리고 상기 전원 전압보다 높고 상기 고전압보다 낮은 전압 중 어느 하나이다.

<31> 바람직한 실시예에 있어서, 상기 제 1 입력 신호는 반도체 메모리 장치에서 행 어드레스 신호 및 블록 선택 신호를 포함한다.

<32> 바람직한 실시예에 있어서, 상기 제 1 내부 노드는 상기 반도체 메모리 장치의 행 디코더 및 구동 블록에 연결되며, 상기 행 디코더 및 구동 블록은 행 어드레스 신호들에 응답하여 상기 반도체 메모리 장치의 워드 라인들을 선택적으로 구동한다.

<33> 바람직한 실시예에 있어서, 상기 행 디코더 및 구동 블록은 워드 라인들에 각각 대응하는 행 디코더 및 구동 회로들을 포함하며, 상기 각 행 디코더 및 구동 회로는 상기 고전압에 연결된 소오스, 제 5 내부 노드에 연결된 드레인, 그리고 제 2 입력 신호를 받아들이도록 연결된 게이트를 갖는 제 7 모오스 트랜지스터와; 그리고 상기 제 5 내부 노드와 상기 접지 전압 사이에 직렬 연결된 제 8 및 제 9 모오스 트랜지스터들을 포함한다. 상기 제 7 및 제 8 모오스 트랜지스터들은 상기 상대적으로 두꺼운 게이트 절연막을 갖고, 상기 제 9 모오스 트랜지스터는 상기 상대적으로 얇은 게이트 절연막을 가지며, 상기 제 8 모오스 트랜지스터는 상기 제 1 내부 노드의 전압에 의해서 제어된다.

<34> 이하, 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 상세히 설명될 것이다.

<35> 도 1은 본 발명에 따른 반도체 집적 회로 장치를 보여주는 회로도이다.

<36> 도 1을 참조하면, 본 발명의 반도체 집적 회로 장치 (10)는 입력 신호들 (IN1, IN2)에 응답하여 출력 신호 (OUT)를 출력하며, 제 1 내부 회로 (12), 제 2 내부 회로 (14), 그리고 인터페이스 회로 (16)를 포함한다. 제 1 내부 회로 (12)는 내부 전원 전압 (IVC) (또는 외부 전원 전압 (EVC))보다 높은 고전압 (VPP)으로 동작하는 반면에, 제 2 내부 회로 (14) 및 인터페이스 회로 (16)는 내부 전원 전압 (IVC) (또는 외부 전원 전압 (EVC))으로 동작한다. 여기서, 내부 전원 전압 (IVC)은 외부 전원 전압 (EVC)과 동일한 전압 레벨을 갖는다. 또는, 내부 전원 전압 (IVC)은 외부 전원 전압 (EVC)보다 낮은 전압 레벨을 갖는다. 인터페이스 회로 (16)는 제 1 내부 회로 (12)에서 제 2 내부 회로 (14)로의 또는 출력 단자 (OUT)에서 제 2 내부 회로 (14)로의 전압을 제한한다. 인터페이스 회로 (16)는 전압 제한 수단으로 동작한다.

<37> 계속해서 도 1을 참조하면, 제 1 내부 회로 (12)는 고전압 (VPP)에 대한 충분한 내압을 갖도록 상대적으로 두꺼운 게이트 절연막을 갖는 PMOS 트랜지스터 (MP1)를 포함한다. 게이트가 입력 신호 (IN1)를 받아들이도록 연결된 PMOS 트랜지스터 (MP1)은 고전압 (VPP)을 공급받는 전원 단자에 연결된 소오스와 출력 단자 (OUT)에 연결된 드레인을 갖는다. 인터페이스 회로 (16)는 IVC/EVC 전압에 대한 내압을 갖도록 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터 (MN1)를 포함한다. NMOS 트랜지스터 (MN1)는 IVC/EVC 전압에 연결된 게이트, 출력 단자 (OUT)에 연결된 드레인, 그리고 소오스를 갖는다. 제 2 내부 회로 (14)는 IVC/EVC 전압에 대한 내압을 갖도록 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터 (MN2)를 포함한다. 게이트가 입력 신호 (IN2)를 받아들이도록 연결된 NMOS 트랜지스터 (MN2)는 NMOS 트랜지스터 (MN1)의 소오스에 연결된 드레인과 접지 전압 (VSS)에 연결된 소오스를 갖는다.

<38> 여기서, 입력 신호 (IN1)는 접지 전압 (VSS)과 고전압 (VPP)을 선택적으로 갖는다. 입력 신호 (IN2)는 접지 전압 (VSS)과 내부 전원 전압 (IVC) (또는 외부 전원 전압 (EVC))을 선택적으로 갖는다.

<39> 인터페이스 회로 (16)의 NMOS 트랜지스터 (MN1)는 PMOS 트랜지스터 (MP1)를 통해 공급되는 고전압이 직접 NMOS 트랜지스터 (MN2)의 드레인에 인가되는 것을 방지한다. 즉, 게이트가 IVC/EVC 전압에 연결된 NMOS 트랜지스터 (MN1)를 통해 출력 단자 (OUT)의 전압이 전달되기 때문에, NMOS 트랜지스터 (MN2)의 드레인에는 고전압 (VPP) 대신에 (IVC/EVC-Vtnl)의 전압이 인가된다. Vtnl는 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터의 문턱 전압이다. NMOS 트랜지스터 (MN1)의 게이트에는 항상 IVC/EVC가 인가되기 때문에, NMOS 트랜지스터 (MN1)의 게이트-드레인 전압차는 (VPP-IVC/EVC)가 된다. 따라서, 비록 NMOS 트랜지스터 (MN1)가 상대적으로 얇은 게이트 절연막을 갖더라도, NMOS 트랜지스터 (MN1)의 게이트 절연막은 고전압 (VPP)에 의해서 파괴되지 않는다.

<40> 만약 NMOS 트랜지스터 (MN1)가 사용되지 않으면, 도 2에 도시된 바와 같이, NMOS 트랜지스터 (MN2)의 게이트-드레인 전압차 (Vgd1)는 최대 VPP 전압이 된다. 이는 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터 (MN2)가 사용되는 경우, NMOS 트랜지스터 (MN2)의 게이트 절연막이 파괴됨을 의미한다. 그러한 까닭에, NMOS 트랜지스터 (MN2)는 상대적으로 두꺼운 게이트 절연막을 갖도록 형성되어야 한다. 이러한 경우, NMOS 트랜지스터 (MN2)의 입력 신호 (IN2)는 액티브시 고전압 (VPP)을 가져야 한다. 그렇지 않으면, NMOS 트랜지스터 (MN2)의 턴-온 속도가 상대적으로 느려진다. 이에 반해서, NMOS 트랜지스터 (MN1)가 사용될 때, 도 2에 도시된 바와 같이, NMOS 트랜지스터 (MN2)의 게이트-드레인 전압차 (Vgd2)는 최대 IVC 전압 (IVC가 EVC보다 낮을 때)가 된다. IVC가 EVC와 같을 때, NMOS 트랜지스터 (MN2)의 게이트-드레인

전압차 (Vgd2)는 (IVC-Vtnh)이 된다. 즉, NMOS 트랜지스터 (MN2)의 게이트 절연막에 걸리는 전계가 줄어든다. 그러므로, 인터페이스용 (또는 전계 완화용) NMOS 트랜지스터 (MN1)를 내부 회로들 (12, 14) 사이에 구현함으로써, 드레인으로의 고전압 인가로 인해 NMOS 트랜지스터 (MN2)의 게이트 절연막이 파괴되는 것을 방지할 수 있다. 이와 더불어, NMOS 트랜지스터 (MN2)의 턴-온 속도의 저하를 방지할 수 있다.

<41> 도 3은 본 발명에 따른 반도체 집적 회로 장치의 다른 실시예를 보여주는 회로도이다.

<42> 도 3을 참조하면, 본 발명의 반도체 집적 회로 장치 (20)는 제 1 내부 회로 (22), 제 2 내부 회로 (24), 인터페이스 회로 (26), 그리고 인버터 (INV1)를 포함한다. 인터페이스 회로 (26)는 제 1 내부 회로 (22)에서 제 2 내부 회로 (24)로의 전압을 제한하며, 전압 제한 수단 (또는 전계 완화 수단)으로 동작한다. 제 1 내부 회로 (22)는 고전압 (VPP)에 대해 충분한 내압을 갖도록 상대적으로 두꺼운 게이트 절연막을 갖는 PMOS 트랜지스터들 (MP2, MP3)을 포함한다. PMOS 트랜지스터 (MP2)는 고전압 (VPP)에 연결된 소오스, 내부 노드 (ND1)에 연결된 드레인, 그리고 입력 신호 (IN1)를 받아들이도록 연결된 게이트를 갖는다. 입력 신호 (IN1)는 고전압 (VPP)과 접지 전압 (VSS)을 선택적으로 갖는다. PMOS 트랜지스터 (MP3)는 고전압 (VPP)에 연결된 소오스, 내부 노드 (ND1)에 연결된 드레인, 그리고 출력 단자 (OUT)에 연결된 게이트를 갖는다.

<43> 계속해서 도 3을 참조하면, 인터페이스 회로 (26)는 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 대해 충분한 내압을 갖도록 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터 (MN3)를 포함한다. NMOS 트랜지스터 (MN3)는 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 연결된 게이트, 내부 노드 (ND1)에 연결된 드레인, 그리고 제 2 내부 회로 (24)에 연결된 소오스를 갖는다. 제 2 내부 회로 (24)는 내부 전원 전압 (IVC) 또는 외부 전원 전압

(EVC)에 대해 충분한 내압을 갖도록 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터들 (MN4, MN5, MN6, MN7)을 포함한다. NMOS 트랜지스터들 (MN4-MN7)은 인터페이스 회로 (26), 즉 NMOS 트랜지스터 (MN3)의 소오스와 접지 전압 (VSS) 사이에 직렬 연결되며, 대응하는 입력 신호들 (IN2, IN3, IN4, IN5)에 의해서 각각 제어된다. 입력 신호들 (IN2-IN5) 각각은 활성화시 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)을 그리고 비활성화시 접지 전압 (VSS)을 갖는다. 인버터 (INV1)는 내부 노드 (ND1)와 출력 단자 (OUT) 사이에 연결되며, PMOS 및 NMOS 트랜지스터들 (MP4, MN8)을 포함한다. 트랜지스터들 (MP4, MN8)은 고전압 (VPP)에 대해 충분한 내압을 갖도록 상대적으로 두꺼운 게이트 절연막을 갖는다. PMOS 및 NMOS 트랜지스터들 (MP4, MN8)은 고전압 (VPP)과 접지 전압 (VSS) 사이에 직렬 연결되며, 그것의 게이트들은 내부 노드 (ND1)에 공통으로 연결된다.

<44> 본 발명에 따른 반도체 집적 회로 장치의 동작은 다음과 같다.

<45> 입력 신호 (IN1)가 접지 전압 (VSS)의 로우 레벨이고 입력 신호들 (IN2-IN5) 중 적어도 하나가 접지 전압 (VSS)의 로우 레벨일 때, 내부 노드 (ND1)는 PMOS 트랜지스터 (MP2)를 통해 고전압 (VPP)으로 프리챠지된다. 이때, 출력 신호 (OUT)는 접지 전압 (VSS)의 로우 레벨이 되며, 그 결과 PMOS 트랜지스터 (MP3) 역시 턴 온된다. 게이트가 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 연결된 NMOS 트랜지스터 (MN3)는 항상 턴 온되어 있기 때문에, NMOS 트랜지스터 (MN4)의 드레인에는 NMOS 트랜지스터 (MN3)를 통해 (IVC-Vtn1)의 전압이 인가된다. 즉, NMOS 트랜지스터 (MN4)의 드레인에 인가되는 전압이 인터페이스 회로 (26)의 NMOS 트랜지스터 (MN3)에 의해서 제한된다. 따라서, 비록 NMOS 트랜지스터 (MN4)가 상대적으로 얇은 게이트 절연막을 갖더라도, 턴-온 속도의 저하 없이 NMOS 트랜지스터 (MN4)의 게이트 절연막은 고전압 (VPP)에 의해서 파괴되지 않는다. 마찬가지로, NMOS 트랜지스터 (MN3)의 게이트에는 항상

IVC/EVC가 인가되기 때문에, NMOS 트랜지스터의 게이트-드레인 전압차는 (VPP-IVC/EVC)이 된다. 비록 NMOS 트랜지스터 (MN3)가 상대적으로 얇은 게이트 절연막을 갖더라도, NMOS 트랜지스터 (MN3)의 게이트 절연막은 고전압 (VPP)에 의해서 파괴되지 않는다. 입력 신호 (IN1)가 고전압 (VPP)의 하이 레벨을 갖고 입력 신호들 (IN2-IN5)이 모두 IVC/EVC의 하이 레벨을 가질 때, 내부 노드 (ND1)의 전압은 인터페이스 회로 (26)와 제 2 내부 회로 (24), 즉 NMOS 트랜지스터들 (MN3-MN7)을 통해 방전된다. 출력 신호 (OUT)는 인버터 (INV1)를 통해 하이 레벨을 갖는다.

<46> 도 4는 본 발명에 따른 반도체 집적 회로 장치의 다른 실시예를 보여주는 회로도이다. 도 4를 참조하면, 본 발명에 따른 반도체 집적 회로 장치 (30)는 제 1 내부 회로 (32), 제 2 내부 회로 (34), 그리고 인터페이스 회로 (36)를 포함한다.

<47> 제 1 내부 회로 (32)는 고전압 (VPP)에 대해 충분한 내압을 갖도록 상대적으로 두꺼운 게이트 절연막을 갖는 PMOS 트랜지스터들 (MP5, MP6)을 포함한다. PMOS 트랜지스터 (MP5)는 고전압 (VPP)에 연결된 소오스, 내부 노드 (ND2)에 연결된 드레인, 그리고 내부 노드 (ND3)에 연결된 게이트를 갖는다. PMOS 트랜지스터 (MP6)는 고전압 (VPP)에 연결된 소오스, 내부 노드 (ND3)에 연결된 드레인, 그리고 내부 노드 (ND2)에 연결된 게이트를 갖는다.

<48> 제 2 내부 회로 (34)는 NMOS 트랜지스터들 (MN11, MN12)과 인버터 (INV2)를 포함하며, 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)으로 동작한다. NMOS 트랜지스터들 (MN11, MN12)은 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 대해 충분한 내압을 갖도록 상대적으로 얇은 게이트 절연막을 갖는다. NMOS 트랜지스터 (MN11)는 내부 노드 (ND4)에 연결된 드레인, 접지 전압 (VSS)에 연결된 소오스, 그리고 입력 신호 (IN)를 받아들이도록 연결된 게이트를 갖는다. NMOS 트랜지스터 (MN12)는 내부 노드 (ND5)에 연결된 드레인, 접지 전압 (VSS)에

연결된 소오스, 그리고 인버터 (INV2)를 통해 반전된 입력 신호 (INB)를 받아들이도록 연결된 게이트를 갖는다. 인버터 (INV2)는 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)으로 동작하며, 상대적으로 얇은 게이트 절연막을 갖는 PMOS 및 NMOS 트랜지스터들 (미도시됨)로 구성될 것이다.

<49> 계속해서 도 4를 참조하면, 인터페이스 회로 (36)는 NMOS 트랜지스터들 (MN11, MN12)의 게이트 절연막에 걸리는 전계를 줄이기 위한 것으로, 내부 노드 (ND2 또는 ND3)에서 제 2 내부 회로 (34)로의 전압을 제한한다. 인터페이스 회로 (36)는 내부 전원 전압 (IVC) 또는 외부 전원 전압 (IVC)에 대해 충분한 내압을 갖도록 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터들 (MN9, MN10)을 포함한다. NMOS 트랜지스터 (MN9)는 내부 노드들 (ND2, ND4) 사이에 연결되고, NMOS 트랜지스터 (MN10)는 내부 노드들 (ND3, ND5) 사이에 연결된다. NMOS 트랜지스터들 (MN9, MN10)의 게이트들은 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 공통으로 연결된다.

<50> 본 발명에 따른 반도체 집적 회로 장치의 동작은 다음과 같다.

<51> 입력 신호 (IN)가 로우 레벨일 때, NMOS 트랜지스터 (MN11)는 턴 오프되고 NMOS 트랜지스터 (MN12)는 턴 온된다. ND3 노드가 NMOS 트랜지스터들 (MN10, MN12)을 통해 로우 레벨이 되기 때문에, PMOS 트랜지스터 (MP5)는 턴 온되고 출력 신호 (OUT)는 고전압 (VPP)의 하이 레벨이 된다. 입력 신호 (IN)가 하이 레벨일 때, NMOS 트랜지스터 (MN12)는 턴 오프되고 NMOS 트랜지스터 (MN11)는 턴 온된다. ND2 노드가 NMOS 트랜지스터들 (MN9, MN11)을 통해 로우 레벨이 되기 때문에, PMOS 트랜지스터 (MP6)은 턴 온되고 출력 신호 (OUT)은 접지 전압 (VSS)의 로우 레벨이 된다.

<52> 게이트가 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 연결된 NMOS 트랜지스터들 (MN9, MN10)이 항상 턴 온되어 있기 때문에, NMOS 트랜지스터 (MN11 또는 MN12)의 드레인에는 NMOS 트랜지스터 (MN9 또는 MN10)를 통해 (IVC/EVC-Vtn1)의 전압이 인가된다. 즉, NMOS 트랜지스터 (MN11 또는 MN12)의 드레인에 인가되는 전압이 인터페이스 회로 (36)의 NMOS 트랜지스터 (MN9 또는 MN10)에 의해서 제한된다. 따라서, 비록 NMOS 트랜지스터들 (MN11, MN12)이 상대적으로 얇은 게이트 절연막을 갖더라도, NMOS 트랜지스터들 (MN11, MN12)의 게이트 절연막은 고전압 (VPP)에 의해서 파괴되지 않는다. 이와 더불어, NMOS 트랜지스터들 (MN11, MN12)이 상대적으로 얇은 게이트 절연막을 갖기 때문에, NMOS 트랜지스터들 (MN11, MN12)의 턴-온 속도는 저하되지 않는다. 마찬가지로, NMOS 트랜지스터들 (MN9, MN10)의 게이트에는 항상 IVC/EVC가 인가되기 때문에, NMOS 트랜지스터들 (MN9, MN10) 각각의 게이트-드레인 전압차는 (VPP-IVC/EVC)이 된다. 비록 NMOS 트랜지스터들 (MN9, MN10)이 상대적으로 얇은 게이트 절연막을 갖더라도, NMOS 트랜지스터들 (MN9, MN10)의 게이트 절연막은 고전압 (VPP)에 의해서 파괴되지 않는다.

<53> 도 5는 본 발명에 따른 반도체 집적 회로 장치를 이용한 반도체 메모리 장치를 보여주는 블록도이다. 도 5를 참조하면, 본 발명의 반도체 메모리 장치 (100)는 메모리 셀 어레이 (110)를 포함하며, 어레이 (100)는 복수 개의 메모리 블록들 (MB0, MB1, …, MBy)로 구성된다. 메모리 블록들 (MB0-MBy) 각각은 복수의 행들 (또는 워드 라인들)과 복수의 열들 (또는 비트 라인들)의 매트릭스 형태로 배열된 메모리 셀들 (미도시됨)를 포함한다. 로우 프리-디코더 (row pre-decoder) (120)는 행 어드레스 (RA)에 응답하여 디코딩 신호들 (DRAi[0:m], DRAj[0:n], DRAk[0:x]) 및 블록 선택 신호들 (BLK[0:y])을 발생한다. 블록 선택 신호들 (BLK[0:y])은 메모리 블록들 (MB0-MBy)에 각각 대응한다. 디코딩 신호들 (DRAi[0:m],

DRAj[0:n], DRAk[0:x])는 선택되는 메모리 블록의 워드 라인들 중 어느 하나를 선택하는 데 사용된다.

<54> 계속해서 도 5를 참조하면, 반도체 메모리 장치 (100)는 메모리 블록들 (MB0-MBy)에 각각 대응하는 레벨 변환 블록들 (LSB0, LSB1, …, LSBy)을 포함한다. 레벨 변환 블록들 (LSB0-LSBy) 각각은 대응하는 블록 선택 신호와 디코딩 신호들 (DRAk[0:x])를 입력한다. 예를 들면, 레벨 변환 블록 (LSB0)은 블록 선택 신호 (BLK0)와 디코딩 신호들 (DRAk[0:x])를 입력하고, 레벨 변환 블록 (LSB1)은 블록 선택 신호 (BLK1)와 디코딩 신호들 (DRAk[0:x])를 입력하며, 레벨 변환 블록 (LSBy)은 블록 선택 신호 (BLKy)와 디코딩 신호들 (DRAk[0:x])를 입력한다. 레벨 변환 블록들 (LSB0-LSBy) 각각의 입력 신호들은 활성화시 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)을 갖는다. 레벨 변환 블록들 (LSB0-LSBy)은 입력 신호들에 응답하여 블록 선택 정보를 포함하는 디코딩 신호들을 출력한다. 예를 들면, 레벨 변환 블록 (LSB0)은 입력 신호들에 응답하여 디코딩 신호들 (DRA0k[0:x])를 출력하고, 레벨 변환 블록 (LSB1)은 입력 신호들에 응답하여 디코딩 신호들 (DRA1k[0:x])를 출력하고, 레벨 변환 블록 (LSBy)은 입력 신호들에 응답하여 디코딩 신호들 (DRAyk[0:x])을 출력한다.

<55> 본 발명에 따른 반도체 메모리 장치 (100)는 메모리 블록들 (MB0, MB1, …, MBy)에 각각 대응하는 행 디코더 및 구동 블록들 (130_0, 130_1, …, 130_y)을 더 포함한다. 행 디코더 및 구동 블록들 (130_0, 130_1, …, 130_y)은 고전압 (VPP)으로 동작한다. 행 디코더 및 구동 블록들 (130_0-130_y) 각각은 대응하는 메모리 블록의 워드 라인들에 각각 연결된 행 디코더 및 구동 회로들 (131)을 포함한다. 각

행 디코더 및 구동 회로 (131)는 행 프리-디코더 (120)로부터의 디코딩 신호들 (DRAi[0:m], DRAj[0:n]) 중 일부와 대응하는 레벨 변환 블록 (예를 들면, LSB0)으로부터의 디코딩 신호들 (예를 들면, DRA0k[0:x]) 중 일부에 응답하여 대응하는 워드 라인을 구동한다.

<56> 본 발명에 따른 레벨 변환 블록들 및 행 디코더 및 구동 블록들은 도 1, 도 3, 그리고 도 4에서 설명된 듀얼 절연막 체계의 집적 회로 장치를 이용하여 구현되며, 이는 이하 상세히 설명될 것이다. 도 5에서 알 수 있듯이, 각 레벨 변환 블록의 출력 신호들은 대응하는 메모리 블록에만 입력되기 때문에, 전류 소모를 줄일 수 있다.

<57> 도 6은 도 5에 도시된 레벨 변환 블록의 일부를 보여주는 회로도이다. 도 6에 도시된 레벨 변환 회로 (LS)는 디코딩 신호들 (DRAk0-DRAkx)에 각각 대응하는 레벨 변환 블록 (LSB0)의 레벨 변환 회로들 중 하나이며, 나머지 레벨 변환 회로들 역시 도 6에 도시된 것과 동일하게 구성된다. 도 6에 도시된 레벨 변환 회로 (LS)는 디코딩 신호 (DRAk0)와 블록 선택 신호 (BLK0)에 응답하여 디코딩 신호 (DRA0k0)를 출력한다. 디코딩 신호 (DRAk0)와 블록 선택 신호 (BLK0)는 활성화시 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)을 갖고, 디코딩 신호 (DRA0k0)는 활성화시 고전압 (VPP)을 갖는다. 본 발명의 레벨 변환 회로 (LS)는 2개의 PMOS 트랜지스터들 (MP20, MP21), 4개의 NMOS 트랜지스터들 (MN20, MN21, MN22, MN23), 인버터 (INV20), 그리고 NAND 게이트 (G20)를 포함한다.

<58> PMOS 트랜지스터들 (MP20, MP21)은 고전압에 대해 충분한 내압을 갖도록 상

대적으로 두꺼운 게이트 절연막을 갖는 반면에, NMOS 트랜지스터들 (MN20-MN23)은 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 대해 충분한 내압을 갖도록 상대적으로 얇은 게이트 절연막을 갖는다. 비록 도면에는 도시되지 않았지만, NAND 게이트 (G20)와 인버터 (INV20)를 구성하는 MOS 트랜지스터들은 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 대해 충분한 내압을 갖도록 상대적으로 얇은 게이트 절연막을 갖는다.

<59> PMOS 트랜지스터 (MP20)는 ND21에 연결된 게이트, 고전압 (VPP)에 연결된 소오스, 그리고 ND20 (즉, 출력 단자 (DRA0k0))에 연결된 드레인을 갖는다. PMOS 트랜지스터 (MP21)는 ND20에 연결된 게이트, 고전압 (VPP)에 연결된 소오스, 그리고 ND21에 연결된 드레인을 갖는다. NMOS 트랜지스터들 (MN20, MN22)은 ND20과 접지 전압 (VSS) 사이에 직렬 연결되고, NMOS 트랜지스터들 (MN21, MN23)은 ND21과 접지 전압 (VSS) 사이에 직렬 연결된다. NMOS 트랜지스터들 (MN20, MN21)의 게이트들은 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)에 연결된다. NMOS 트랜지스터 (MN22)는 디코딩 신호 (DRAk0)와 블록 선택 신호 (BLK0)에 응답하여 동작하는 NAND 게이트 (G20)의 출력 신호 (NOUT)에 의해서 제어된다. 인버터 (INV20)는 NAND 게이트 (G20)의 출력 신호를 반전시키며, NMOS 트랜지스터 (MN23)는 인버터 (INV20)의 출력 신호에 의해서 제어된다.

<60> 도 6에 도시된 레벨 변환 회로의 동작은 다음과 같다.

<61> 디코딩 신호 (DRA0k)와 블록 선택 신호 (BLK0) 중 적어도 하나가 로우 레벨일 때, NMOS 트랜지스터 (MN22)는 턴 온되고 NMOS 트랜지스터 (MN23)는 턴 오프된다. 이에 따라, ND20은 NMOS 트랜지스터들 (MN20, MN22)을 통해 로우 레벨을 갖는다. PMOS 트랜지스터 (MP21)가 턴 온됨에 따라, ND21은 고전압 (VPP)을 갖고 PMOS 트랜지스터 (MP20)은 턴 오프된다. ND21이 고전압 (VPP)을 갖더라도, 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터들 (MN21, MN23)

은 고전압 (VPP)에 의한 영향을 받지 않는다. 그 이유는 게이트가 IVC/EVC에 연결된 NMOS 트랜지스터 (MN21)의 게이트-드레인 전압차는 (VPP-IVC/EVC)이 되고, NMOS 트랜지스터 (MN23)의 게이트-드레인 전압차는 (IVC/EVC-Vtnl)이 되기 때문이다.

<62> 디코딩 신호 (DRA0k)과 블록 선택 신호 (BLK0)이 모두 하이 레벨일 때, NMOS 트랜지스터 (MN22)는 턴 오프되고 NMOS 트랜지스터 (MN23)는 턴 온된다. 이에 따라, ND21은 NMOS 트랜지스터들 (MN21, MN23)을 통해 로우 레벨을 갖는다. PMOS 트랜지스터 (MP20)이 턴 온됨에 따라, ND20은 고전압 (VPP)을 갖고 PMOS 트랜지스터 (MP21)은 턴 오프된다. 블록 선택 정보를 포함하는 출력 신호 (DRA0k0)은 고전압 (VPP)을 갖는다. ND20이 고전압 (VPP)을 갖더라도, 상대적으로 얇은 게이트 절연막을 갖는 NMOS 트랜지스터들 (MN20, MN22)은 고전압 (VPP)에 의한 영향을 받지 않는다. 앞서 설명된 것과 마찬가지로, 그 이유는 게이트가 IVC/EVC에 연결된 NMOS 트랜지스터 (MN20)의 게이트-드레인 전압차는 (VPP-IVC/EVC)이 되고, NMOS 트랜지스터 (MN22)의 게이트-드레인 전압차는 (IVC/EVC-Vtnl)이 되기 때문이다.

<63> 이 실시예에 있어서, PMOS 트랜지스터들 (MP20, MP21)은 고전압 (VPP)으로 동작하는 제 1 내부 회로를 구성하고, NAND 게이트 (G20), 인버터 (INV20), 그리고 NMOS 트랜지스터들 (MN22, MN23)은 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)으로 동작하는 제 2 내부 회로를 구성하며, NMOS 트랜지스터들 (MN20, MN21)은 제 1 내부 회로에서 제 2 내부 회로로 전달되는 전압을 제한하는 수단을 구성한다.

<64> 도 7은 도 5에 도시된 행 디코더 및 구동 블록의 일부를 보여주는 회로도이다. 도 7에 도시된 행 디코더 및 구동 회로 (131)는 도 5에 도시된 행 디코더 및 구동 블록들 (130_0-130_y) 각각에 대응하는 워드 라인들 중 하나에 연결된 것으로, 나머지 워드 라인들에 각각 연결된 행 디코더 및 구동 회로들 역시 도 7에 도시된 것과 동일하게 구성된다. 도 7에

도시된 회로 (131)은 디코딩 신호들 (예를 들면, DRA0k0, DRAi0, DRAj0)에 응답하여 대응하는 워드 라인 (WL)을 구동한다. 디코딩 신호 (DRA0k0)는 대응하는 레벨 변환 블록으로부터 입력되며, 활성화시 고전압 (VPP)의 하이 레벨을 갖는다. 디코딩 신호들 (DRAi0, DRAj0)은 도 5에 도시된 행 프리-디코더 (120)로부터 입력되며, 활성화시 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)을 갖는다.

<65> 도 7을 참조하면, 본 발명의 행 디코더 및 구동 회로 (131)는 PMOS 트랜지스터들 (MP22, MP23, MP24)과 NMOS 트랜지스터들 (MN24, MN25, MN26, MN27)을 포함한다. 게이트가 제어 신호 (P_0)를 받아들이도록 연결된 PMOS 트랜지스터 (MP22)는 고전압 (VPP)에 연결된 소오스와 내부 노드 (ND22)에 연결된 드레인을 갖는다. NMOS 트랜지스터들 (MN24-MN26)은 내부 노드 (ND22)와 접지 전압 (VSS) 사이에 직렬 연결되며, 디코딩 신호들 (DRA0k0, DRAi0, DRAj0)에 의해서 각각 제어된다. PMOS 트랜지스터 (MP23)는 출력 단자 (ND24)에 연결된 게이트, 고전압 (VPP)에 연결된 소오스, 그리고 내부 노드 (ND23)에 연결된 드레인을 갖는다. PMOS 및 NMOS 트랜지스터들 (MP24, MN27)는 인버터를 구성하며, 내부 노드 (ND22)와 출력 단자 (ND24) (즉, 워드 라인 (WL)) 사이에 연결된다.

<66> 본 발명에 따른 행 디코더 및 구동 회로 (131)의 동작은 다음과 같다.

<67> 제어 신호 (P_0)가 로우 레벨이고 디코딩 신호들 (DRA0k0, DRAi0, DRAj0) 중 적어도 하나가 로우 레벨일 때, 내부 노드 (ND22)와 접지 전압 (VSS) 사이의 전류 경로는 차단된다. PMOS 트랜지스터 (MP22)가 턴 온되기 때문에, ND22 노드는 고전압 (VPP)의 하이 레벨을 갖는다. 따라서, 워드 라인 (WL)은 로우 레벨이 된다. 디코딩 신호 (DRA0k0)가 로우 레벨을 갖더라도, NMOS 트랜지스터 (MN24)가 상대적으로 두꺼운 게이트 절연막을 갖기 때문에, NMOS 트랜지스터 (MN24)의 게이트 절연막은 ND22 노드의 고전압 (VPP)에 의해서 영향을 받지 않는다.

비록 디코딩 신호 (DRA0k0)가 고전압 (VPP)의 하이 레벨을 갖고 디코딩 신호 (DRAi0)가 접지 전압 (VSS)의 로우 레벨을 갖더라도, NMOS 트랜지스터 (MN25)의 게이트 절연막은 고전압 (VPP)에 의해서 영향을 받지 않는다. 그 이유는 내부 노드 (ND23)가 (VPP-Vtnh)의 전압이 되기 때문이다. 여기서, Vtnh는 상대적으로 두꺼운 게이트 절연막을 갖는 NMOS 트랜지스터의 문턱 전압을 나타내며, 예를 들면, 2Vtnl가 된다.

<68> 제어 신호 (P_0)가 고전압 (VPP)의 하이 레벨이 되고 디코딩 신호들 (DRA0k0, DRAi0, DRAj0)이 모두 하이 레벨이 될 때, 고전압 (VPP)과 내부 노드 (ND22) 사이의 전류 경로는 차단되는 반면에, 내부 노드 (ND22)와 접지 전압 (VSS) 사이에는 전류 경로가 형성된다. 따라서, 워드 라인 (WL)은 PMOS 트랜지스터 (MP24)를 통해 고전압 (VPP)으로 구동된다. 앞서 설명된 바와 같이, ND22 노드의 고전압 (VPP)이 인터페이스 수단으로서 NMOS 트랜지스터 (MN24)를 통해 전달되기 때문에, NMOS 트랜지스터 (MN25)의 게이트 절연막은 고전압 (VPP)에 의해서 영향을 받지 않는다.

<69> 도 8은 본 발명에 따른 반도체 메모리 장치의 동작을 설명하기 위한 동작 타이밍도이다.

<70> 제어 신호 (P_0) 및 디코딩 신호들 (DRAykx, DRAim, DRAjn)이 로우 레벨일 때, 도 7의 PMOS 트랜지스터 (MP22)는 턴 온되고 NMOS 트랜지스터들 (MN24-MN26)은 턴 오프된다. 따라서, 워드 라인들 (WL)은 로우 레벨이 된다. 도 8에 도시된 바와 같이, 제어 신호 (P_0)가 고전압 (VPP)의 하이 레벨이 됨에 따라 도 7의 PMOS 트랜지스터 (MP22)는 턴 오프된다. 행 프리-디코더 (120)로부터 출력되는 블록 선택 신호들 (BLK[0:y]) 및 디코딩 신호들 (DRAk[0:x])은 대응하는 레벨 변환 블록들 (LSB0-LSBj)에 입력된다. 선택된 메모리 블록에 대응하는 레벨 변환 블록은 디코딩 신호들 중 IVC/EVC의 하이 레벨을 갖는 디코딩 신호들의 전압 레벨을 고전압 (VPP)으로 변환한다. 도 8에 도시된 바와 같이, 레벨 변환 블록으로부터 출력되는 하이 레벨의

디코딩 신호들은 대응하는 레벨 변환 회로들 (도 6 참조)을 통해 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC) 대신에 고전압 (VPP)을 갖는다. 그 다음에, 선택된 메모리 블록의 행 디코더 및 구동 회로들 중 하나는 입력 신호들 (DRAykx, DRAim, DRAjn)에 응답하여 워드 라인 (WL)을 고전압 (VPP)으로 구동한다.

<71> 앞서 설명된 바와 같이, 듀얼 절연막 체계를 이용한 집적 회로에서 고전압에 의한 게이트 절연막의 파괴를 방지하기 위해서 상대적으로 두꺼운 게이트 절연막을 갖는 MOS 트랜지스터 (도 7의 NMOS 트랜지스터 (MN24))가 사용된다. 이러한 경우, NMOS 트랜지스터 (MN24)의 게이트에 인가되는 전압이 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)인 경우, 도 7의 ND22 노드의 고전압 (VPP)은 도 8의 점선을 따라 방전된다. 그 이유는 상대적으로 두꺼운 게이트 절연막을 갖는 NMOS 트랜지스터 (MN24)이 IVC/EVC에 의해서 충분히 턴 온되기 어렵기 때문이다. 최종적으로, 워드 라인 (WL)의 활성화 속도가 느려진다.

<72> 본 발명에 따른 반도체 메모리 장치의 경우, 하지만, NMOS 트랜지스터 (MN24)의 게이트 전압을 고전압 (VPP)으로 설정함으로써 상대적으로 두꺼운 게이트 절연막을 갖는 NMOS 트랜지스터 (MN24)를 충분히 빠르게 턴 온시킬 수 있다. 따라서, 본 발명에 따른 디코더 및 구동 회로 (131)의 ND22 전압의 방전 속도는, 도 8에서 알 수 있듯이, tD만큼 빨라진다. 최종적으로, 워드 라인 (WL)의 활성화 속도가 tD만큼 빨라진다.

<73> 도 9는 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이고, 도 10은 도 9에 도시된 행 디코더 및 구동 블록의 일부를 보여주는 회로도이다.

<74> 도 5에 도시된 것과 달리, 도 10에 도시된 행 디코더 및 구동 블록들 (130'_0-130'_y)는 행 프리-디코더 (120')의 출력 신호들을 그대로 입력받는다. 도 10의 행 디코더 및 구동 블록들은 고전압 (VPP)과 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)으로 동작하도록 듀얼

절연막 체계를 갖는다. 좀 더 구체적으로 설명하면 다음과 같다. 도 10을 참조하면, 임의의 워드 라인에 연결되는 행 디코더 및 구동 블록 (131')은 디코딩 신호들 (DRAim, DRAjn, DRAkx, BLKy)에 응답하여 워드 라인 (WL)을 고전압 (VPP)으로 구동한다. 디코딩 신호들 (DRAim, DRAjn, DRAkx, BLKy) 각각은 활성화시 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)을 갖는다. 도 9에 도시된 반도체 메모리 장치는 레벨 변환 블록을 사용하지 않고 단지 도 3에 도시된 인터페이스 방식을 채용하고 있다.

<75> 계속해서 도 10을 참조하면, 행 디코더 및 구동 회로 (131')는 PMOS 트랜지스터들 (MP25, MP26, MP27)과 NMOS 트랜지스터들 (MN28, MN29, MN30, MN31, MN32, MN33)을 포함한다. 트랜지스터들 (MP25, MP26, MP27, MN33)은 상대적으로 두꺼운 게이트 절연막을 갖고, 트랜지스터들 (MN28-MN32)은 상대적으로 얇은 게이트 절연막을 갖는다. 여기서, PMOS 트랜지스터들 (MP25, MP26)은 고전압 (VPP)으로 동작하는 제 1 내부 회로를 구성하고, NMOS 트랜지스터들 (MN29-MN32)은 내부 전원 전압 (IVC) 또는 외부 전원 전압 (EVC)으로 동작하는 제 2 내부 회로를 구성하며, NMOS 트랜지스터 (MN28)는 제 1 내부 회로에서 제 2 내부 회로로의 전압을 제한하는 인터페이스 회로 (또는 전압 제한 수단)으로 동작한다. 도 10에 도시된 행 디코더 및 구동 회로 (131')는 도 3에 도시된 집적 회로 장치와 동일하게 동작하며, 그것에 대한 설명은 그러므로 생략된다.

<76> 앞서 설명된 바와 같이, ND25 노드의 고전압 (VPP)은 NMOS 트랜지스터 (MN28)를 통해 NMOS 트랜지스터 (MN29)의 드레인으로 전달되기 때문에, NMOS 트랜지스터 (MN29)의 게이트-드레인 전압차는 (IVC/EVC-Vtnl)이 된다. 따라서, 비록

NMOS 트랜지스터 (MN29)가 상대적으로 얇은 게이트 절연막을 갖더라도, NMOS 트랜지스터 (MN29)의 게이트 절연막은 고전압 (VPP)에 영향을 받지 않는다. 여기서, NMOS 트랜지스터 (MN28)의 게이트에는 항상 IVC/EVC가 인가되기 때문에, NMOS 트랜지스터의 게이트-드레인 전압 차는 (VPP-IVC/EVC)가 된다. 비록 NMOS 트랜지스터 (MN28)가 상대적으로 얇은 게이트 절연막을 갖더라도, NMOS 트랜지스터 (MN28)의 게이트 절연막은 고전압 (VPP)에 의해서 파괴되지 않는다.

<77> 본 발명에 있어서, 인터페이스 회로를 구성하는 MOS 트랜지스터에는 IVC/EVC가 인가된다. 하지만, 인터페이스 회로를 구성하는 MOS 트랜지스터의 게이트 전압은 상대적으로 얇은 게이트 절연막에 영향을 주지 않는 범위 내에서 다양하게 조절될 수 있다. 예를 들면, 내부 전원 전압 (또는 외부 전원 전압)과 고전압 사이의 전압 또는 내부 전원 전압 (또는 외부 전원 전압)과 접지 전압 사이의 전압이 사용될 수 있다.

<78> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<79> 상술한 바와 같이, 고전압으로 동작하는 내부 회로와 내부 전원 전압 (또는 외부 전원 전압)으로 동작하는 내부 회로 사이에 인터페이스 회로를 구현함으로써 고전압에 의한 게이트 절연막의 파괴를 방지함과 아울러 모오스 트랜지스터의 턴-온 속도의 저하를 방지할 수 있다. 따라서, 듀얼 절연막 체계를 채용한 반도체 집적 회로 장치 및 반도체 메모리 장치의 동작 속도를 향상시킬 수 있다.

【특허청구범위】

【청구항 1】

전원 전압보다 높은 제 1 전압으로 동작하고 상대적으로 두꺼운 게이트 절연막을 갖는 제 1 모오스 트랜지스터를 포함하는 제 1 내부 회로와;

상기 제 1 전압보다 낮은 제 2 전압으로 동작하고 상대적으로 얇은 게이트 절연막을 갖는 제 2 모오스 트랜지스터를 포함하는 제 2 내부 회로와; 그리고

상기 제 2 모오스 트랜지스터의 게이트 절연막에 걸리는 전계를 줄이기 위해서, 상기 제 1 내부 회로에서 상기 제 2 내부 회로로 전달되는 전압을 제한하는 수단을 포함하는 반도체 집적 회로 장치.

【청구항 2】

제 1 항에 있어서,

상기 제 2 전압은 외부 전원 전압, 상기 전원 전압, 상기 전원 전압보다 낮은 전압, 그리고 상기 전원 전압보다 높고 상기 제 1 전압보다 낮은 전압 중 어느 하나인 반도체 집적 회로 장치.

【청구항 3】

제 2 항에 있어서,

상기 제한 수단은 상기 제 2 전압으로 동작하고 상기 얇은 게이트 절연막을 갖는 제 3 모오스 트랜지스터를 포함하는 반도체 집적 회로 장치.

【청구항 4】

제 3 항에 있어서,

상기 제 1 내부 회로로부터의 전압은 상기 제 3 모오스 트랜지스터를 통해 상기 제 2 내부 회로로 공급되는 반도체 집적 회로 장치.

【청구항 5】

제 1 항에 있어서,

상기 제 2 모오스 트랜지스터는 반도체 메모리 장치에서 행 어드레스 신호에 의해서 제어되는 반도체 집적 회로 장치.

【청구항 6】

제 5 항에 있어서,

상기 제 2 모오스 트랜지스터와 상기 제 3 모오스 트랜지스터의 접속 노드에 연결되는 인버터를 더 포함하며, 상기 인버터는 상기 반도체 메모리 장치에서 워드 라인을 구동하는 반도체 집적 회로 장치.

【청구항 7】

제 6 항에 있어서,

상기 인버터는 상기 고전압으로 동작하며 상기 상대적으로 두꺼운 게이트 절연막을 갖는 PMOS 및 NMOS 트랜지스터들로 구성되는 반도체 집적 회로 장치.

【청구항 8】

제 1 항에 있어서,

상기 제한 수단은 상기 제 1 전압으로 동작하고 상기 상대적으로 두꺼운 게이트 절연막을 갖는 제 3 모오스 트랜지스터를 포함하는 반도체 집적 회로 장치.

【청구항 9】

제 8 항에 있어서,

상기 제 3 모오스 트랜지스터는 반도체 메모리 장치에서 행 어드레스 신호에 의해서 제어되며, 상기 행 어드레스 신호는 활성화시 상기 제 1 전압을 갖는 반도체 집적 회로 장치.

【청구항 10】

제 9 항에 있어서,

상기 제 2 모오스 트랜지스터와 상기 제 3 모오스 트랜지스터의 접속 노드에 연결되는 인버터를 더 포함하며, 상기 인버터는 상기 반도체 메모리 장치에서 워드 라인을 구동하는 반도체 집적 회로 장치.

【청구항 11】

제 10 항에 있어서,

상기 인버터는 상기 고전압으로 동작하고 상기 상대적으로 두꺼운 게이트 절연막을 갖는 PMOS 및 NMOS 트랜지스터들로 구성되는 반도체 집적 회로 장치.

【청구항 12】

전원 전압보다 높은 고전압을 공급받는 전원 단자와;

상기 전원 단자에 연결된 제 1 전류 전극, 출력 단자에 연결된 제 2 전류 전극, 그리고 제 1 입력 신호에 연결된 게이트를 갖는 제 1 트랜지스터와;

상기 출력 단자에 연결된 제 1 전류 전극, 제 2 전류 전극, 그리고 상기 고전압보다 낮은 저 전압에 연결된 게이트를 갖는 제 2 트랜지스터와; 그리고

상기 제 2 트랜지스터의 제 2 전류 전극과 연결된 제 1 전류 전극, 접지 전압에 연결된 제 2 전류 전극, 그리고 제 2 입력 신호를 받아들이도록 연결된 게이트를 갖는 제 3 트랜지스터를 포함하며,

상기 제 1 트랜지스터는 상대적으로 두꺼운 게이트 절연막을 갖고, 상기 제 2 및 제 3 트랜지스터들 각각은 상대적으로 얇은 게이트 절연막을 가지는 반도체 집적 회로 장치.

【청구항 13】

제 12 항에 있어서,

상기 저 전압은 외부 전원 전압, 상기 전원 전압, 상기 전원 전압보다 낮은 전압, 그리고 상기 전원 전압보다 높고 상기 고전압보다 낮은 전압 중 어느 하나인 반도체 집적 회로 장치.

【청구항 14】

제 12 항에 있어서,

상기 제 1 입력 신호는 상기 제 1 전압의 하이 레벨과 상기 접지 전압의 로우 레벨을 선택적으로 갖는 반도체 집적 회로 장치.

【청구항 15】

제 12 항에 있어서,

상기 제 2 입력 신호는 상기 저 전압의 하이 레벨과 상기 접지 전압의 로우 레벨을 선택적으로 갖는 반도체 집적 회로 장치.

【청구항 16】

제 12 항에 있어서,

상기 제 2 입력 신호는 반도체 메모리 장치에서 행 어드레스 신호를 포함하는 반도체 집적 회로 장치.

【청구항 17】

제 16 항에 있어서,

상기 제 2 트랜지스터와 상기 제 3 트랜지스터의 연결 노드에 연결되는 인버터를 더 포함하며, 상기 인버터는 상기 반도체 메모리 장치의 워드 라인을 구동하는 반도체 집적 회로 장치.

【청구항 18】

제 17 항에 있어서,

상기 인버터는 상기 고전압으로 동작하며 상기 상대적으로 두꺼운 게이트 절연막을 갖는 PMOS 및 NMOS 트랜지스터들로 구성되는 반도체 집적 회로 장치.

【청구항 19】

제 12 항에 있어서,

상기 제 3 트랜지스터와 상기 접지 전압 사이에 연결되는 제 4 트랜지스터를 더 포함하며, 상기 제 4 트랜지스터는 상기 상대적으로 얇은 게이트 절연막을 갖는 반도체 집적 회로 장치.

【청구항 20】

제 19 항에 있어서,

상기 제 4 트랜지스터는 반도체 메모리 장치에서 블록 선택 신호에 의해서 제어되는 반도체 집적 회로 장치.

【청구항 21】

전원 전압보다 높은 고전압을 공급받는 전원 단자와;

상기  전원 단자와 제 1 내부 노드 사이에 연결되며, 상대적으로 두꺼운 게이트 절연막을 갖는 제 1 모오스 트랜지스터와;

상기 전원 단자와 제 2 내부 노드 사이에 연결되며, 상기 상대적으로 두꺼운 게이트 절연막을 갖는 제 2 모오스 트랜지스터와;

상기  제 1 모오스 트랜지스터는 상기 제 2 내부 노드의 전압에 의해서 제어되고, 상기 제 2 모오스 트랜지스터는 상기 제 1 내부 노드의 전압에 의해서 제어되며;

상기 제 1 내부 노드와 제 3 내부 노드 사이에 그리고 상기 제 2 내부 노드와 제 4 내부 노드 사이에 각각 연결되며, 각각 상대적으로 얇은 게이트 절연막을 갖는 제 3 및 4 모오스 트랜지스터들과; 그리고

상기 제 3 내부 노드와 접지 전압 사이에 그리고 상기 제 4 내부 노드와 상기 접지 전압 사이에 각각 연결되며, 각각 상기 상대적으로 얇은 게이트 절연막을 갖는 제 5 및 제 6 모오스 트랜지스터들을 포함하며,

상기 제 3 및 제 4 모오스 트랜지스터들의 게이트들은 상기 고전압보다 낮은 저 전압에 연결되며; 상기 제 5 모오스 트랜지스터는 제 1 입력 신호에 의해서 제어되고 제 6 모오스 트랜지스터는 상기 제 1 입력 신호의 반전된 신호에 의해서 제어되는 반도체 집적 회로 장치.

【청구항 22】

제 21 항에 있어서,

상기 제 1 입력 신호 및 상기 반전된 신호 각각은 상기 저 전압의 하이 레벨과 상기 접지 전압의 로우 레벨을 선택적으로 갖는 반도체 집적 회로 장치.

【청구항 23】

제 22 항에 있어서,

상기 저 전압은 외부 전원 전압, 상기 전원 전압, 상기 전원 전압보다 낮은 전압, 그리고 상기 전원 전압보다 높고 상기 고전압보다 낮은 전압 중 어느 하나인 반도체 집적 회로 장치.

【청구항 24】

제 22 항에 있어서,

상기 제 1 입력 신호는 반도체 메모리 장치에서 행 어드레스 신호 및 블록 선택 신호를 포함하는 반도체 집적 회로 장치.

【청구항 25】

제 24 항에 있어서,

상기 제 1 내부 노드는 상기 반도체 메모리 장치의 행 디코더 및 구동 블록에 연결되며, 상기 행 디코더 및 구동 블록은 행 어드레스 신호들에 응답하여 상기 반도체 메모리 장치의 워드 라인들을 선택적으로 구동하는 반도체 집적 회로 장치.

【청구항 26】

제 24 항에 있어서,

상기  행 디코더 및 구동 블록은 워드 라인들에 각각 대응하는 행 디코더 및 구동 회로들을 포함하며,

상기 각 행 디코더 및 구동 회로는

상기  고전압에 연결된 소오스, 제 5 내부 노드에 연결된 드레인, 그리고 제 2 입력 신호를 받아들이도록 연결된 게이트를 갖는 제 7 모오스 트랜지스터와; 그리고

상기 제 5 내부 노드와 상기 접지 전압 사이에 직렬 연결된 제 8 및 제 9 모오스 트랜지스터들을 포함하며,

상기 제 7 및 제 8 모오스 트랜지스터들은 상기 상대적으로 두꺼운 게이트 절연막을 갖고, 상기 제 9 모오스 트랜지스터는 상기 상대적으로 얇은 게이트 절연막을 가지며; 상기 제 8 모오스 트랜지스터는 상기 제 1 내부 노드의 전압에 의해서 제어되는 반도체 집적 회로 장치.

【청구항 27】

제 26 항에 있어서,

상기 제 5 내부 노드에 연결된 인버터를 더 포함하며, 상기 인버터는 상기 반도체 메모리 장치의 워드 라인을 구동하는 반도체 집적 회로 장치.

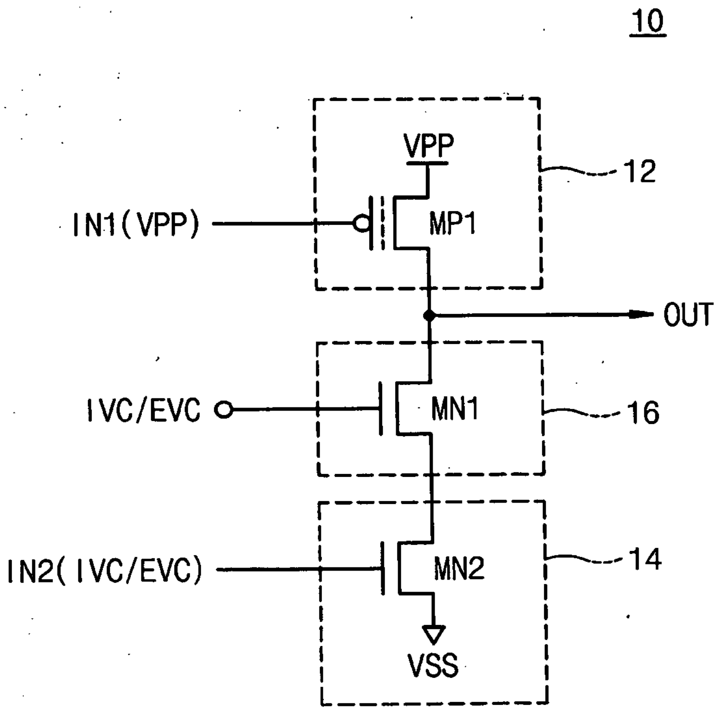
【청구항 28】

제 27 항에 있어서,

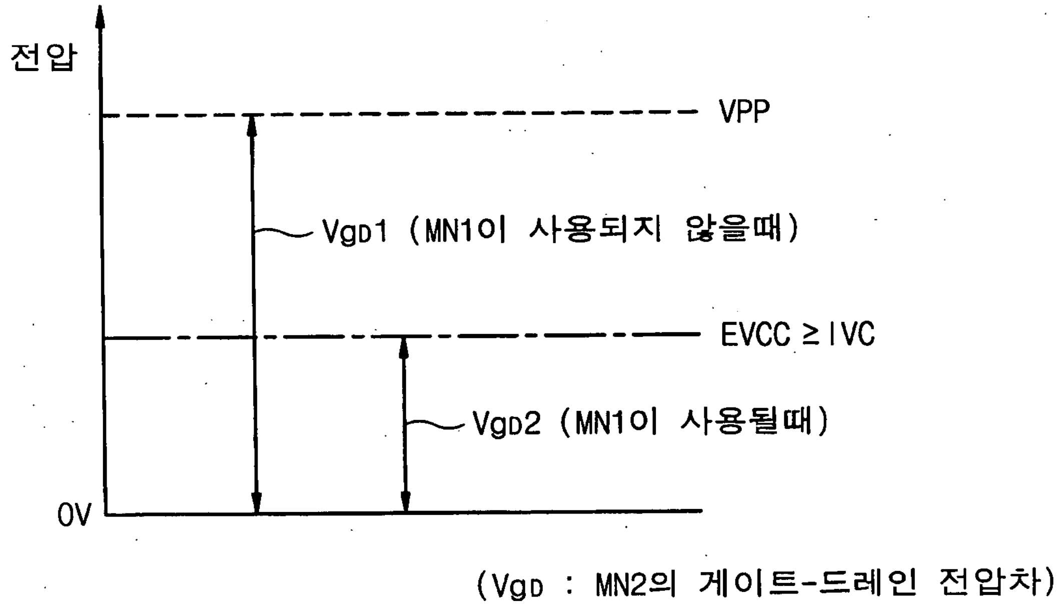
상기 인버터는 상기 고전압으로 동작하고 상기 상대적으로 두꺼운 게이트 절연막을 갖는 PMOS 및 NMOS 트랜지스터들로 구성되는 반도체 집적 회로 장치.

【도면】

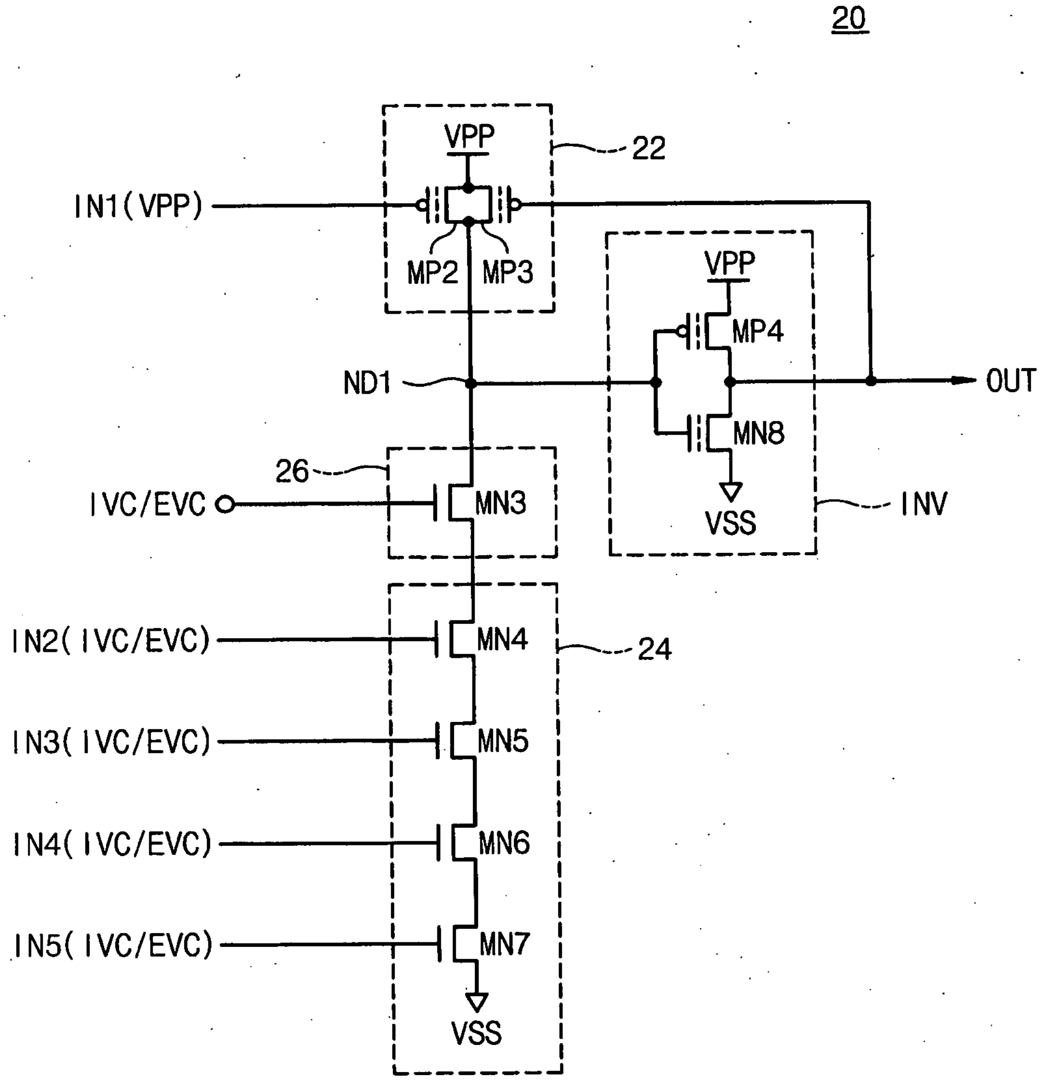
【도 1】


10
VPP
12
IN1(VPP)
MP1
OUT
IVC/EVC
MN1
16
IN2(IVC/EVC)
MN2
14
VSS

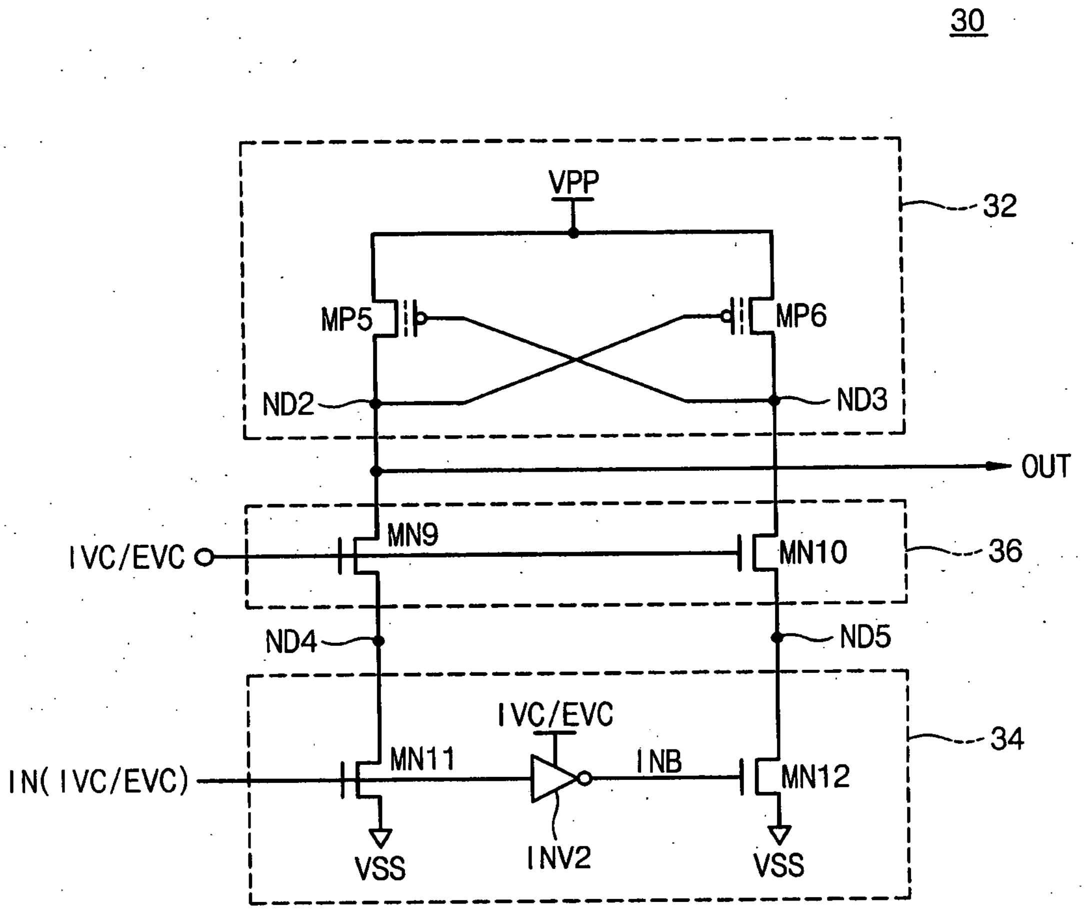
【도 2】


전압
VPP
VgD1 (MN1이 사용되지 않을때)
EVCC ≥ IVC
VgD2 (MN1이 사용될때)
0V
(VgD : MN2의 게이트-드레인 전압차)

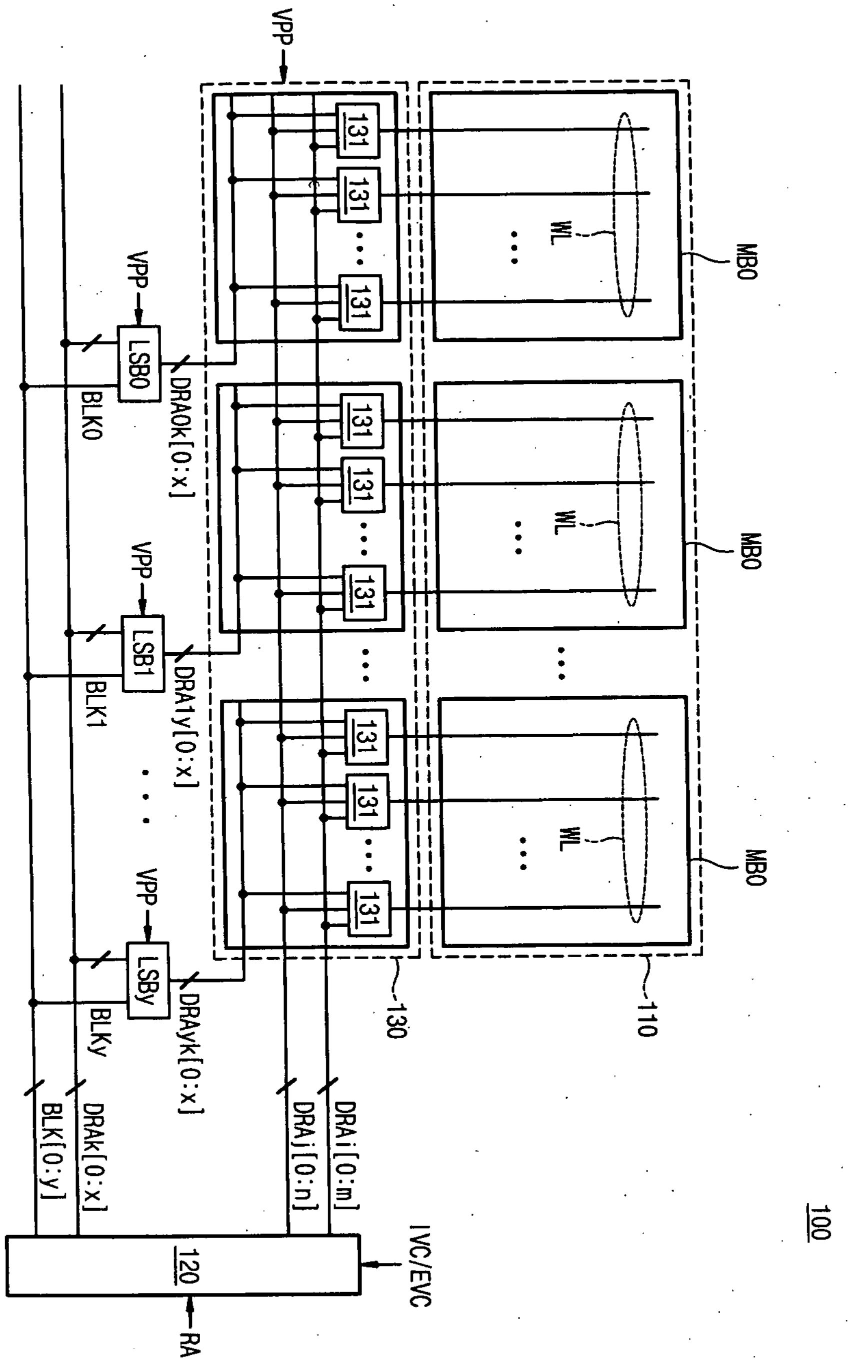
【도 3】


20
VPP
22
IN1(VPP)
MP2
MP3
VPP
MP4
ND1
OUT
MN8
26
IVC/EVC
MN3
VSS
INV
IN2(IVC/EVC)
MN4
24
IN3(IVC/EVC)
MN5
IN4(IVC/EVC)
MN6
IN5(IVC/EVC)
MN7
VSS

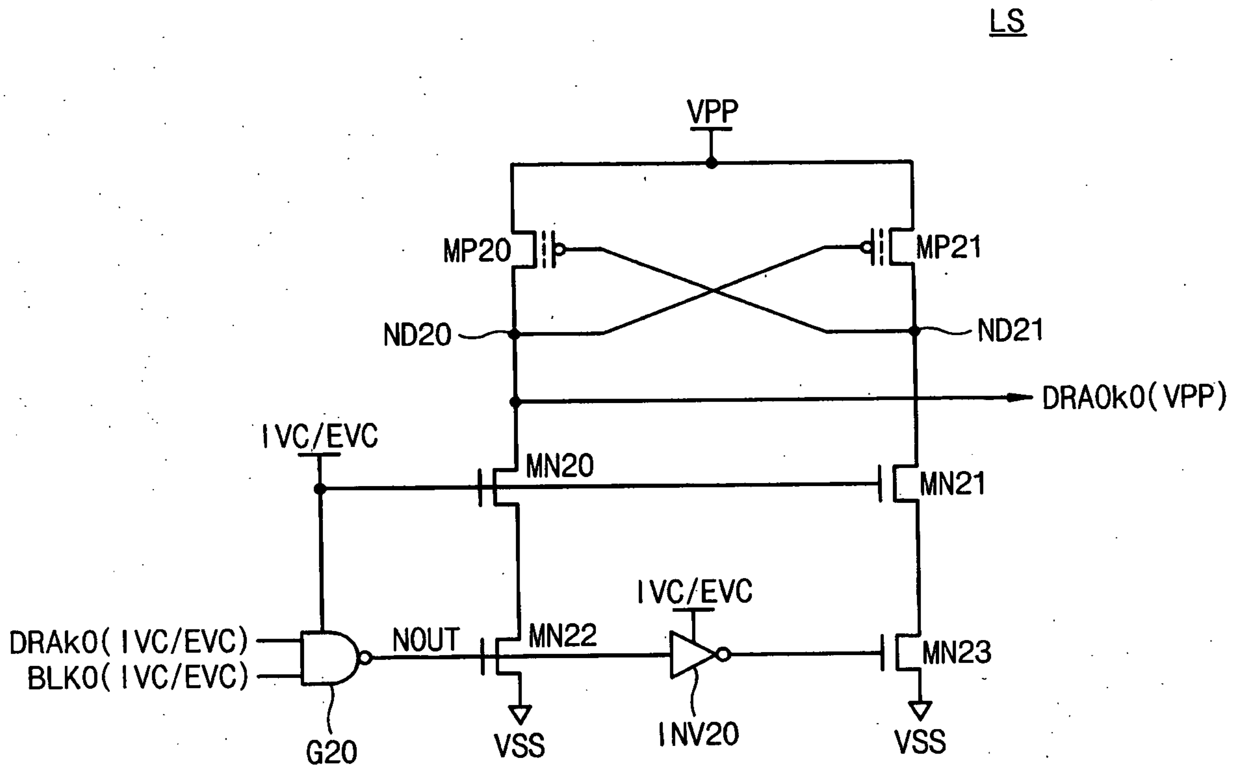
【도 4】


30
VPP
32
MP5
MP6
ND2
ND3
OUT
MN9
IVC/EVC
MN10
36
ND4
ND5
IVC/EVC
34
MN11
INB
IN(IVC/EVC)
MN12
VSS
INV2
VSS

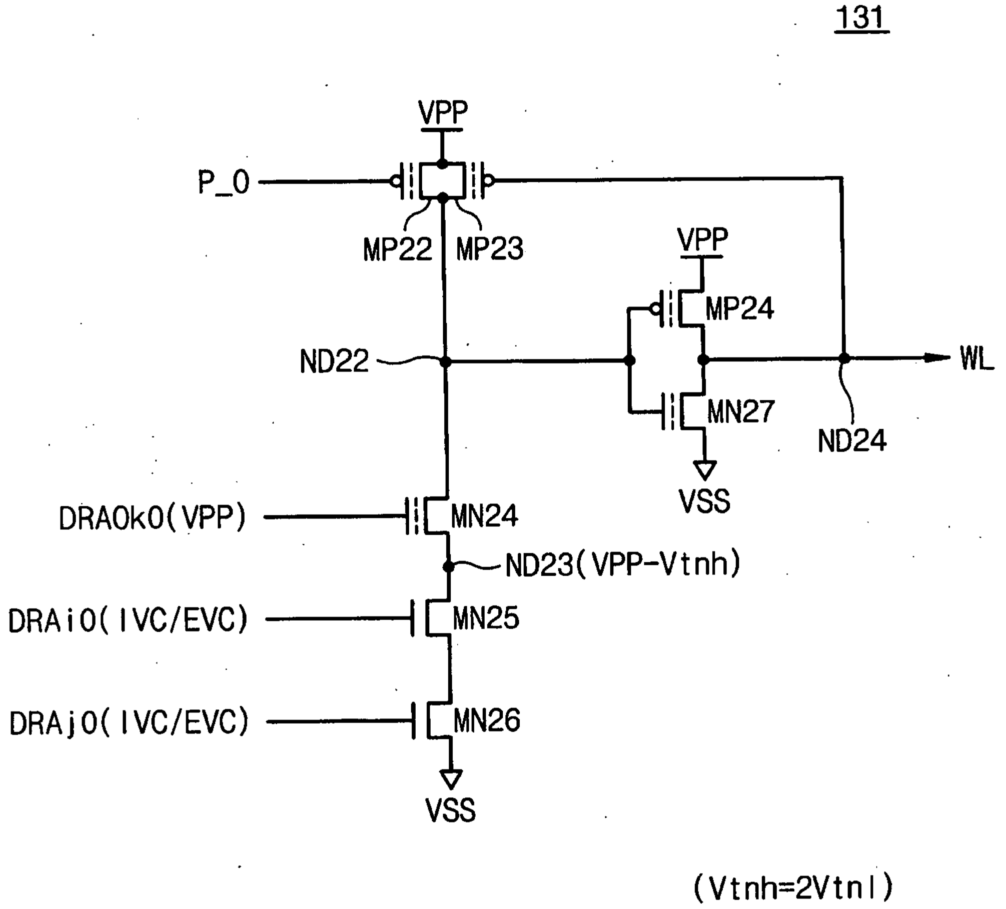
【도 5】


VPP
131
WL
MB0
LSB0
BLK0
DRA0k[0:x]
LSB1
BLK1
DRA1y[0:x]
LSBy
BLKy
DRAyk[0:x]
130
110
BLK[0:y]
DRAK[0:x]
DRAj[0:n]
DRAi[0:m]
IVC/EVC
120
RA
100

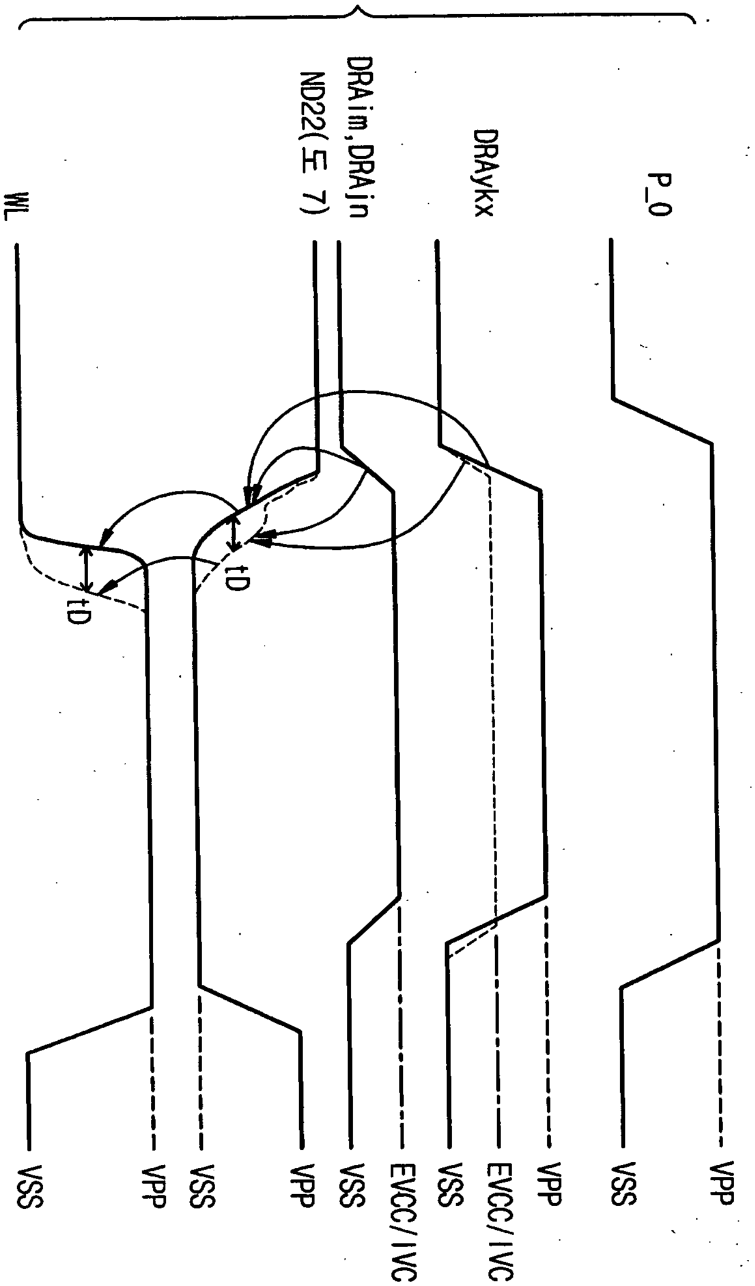
【도 6】


LS
VPP
MP20
MP21
ND20
ND21
DRA0k0(VPP)
IVC/EVC
MN20
MN21
IVC/EVC
DRAk0(IVC/EVC)
BLK0(IVC/EVC)
NOUT
MN22
MN23
G20
VSS
INV20
VSS

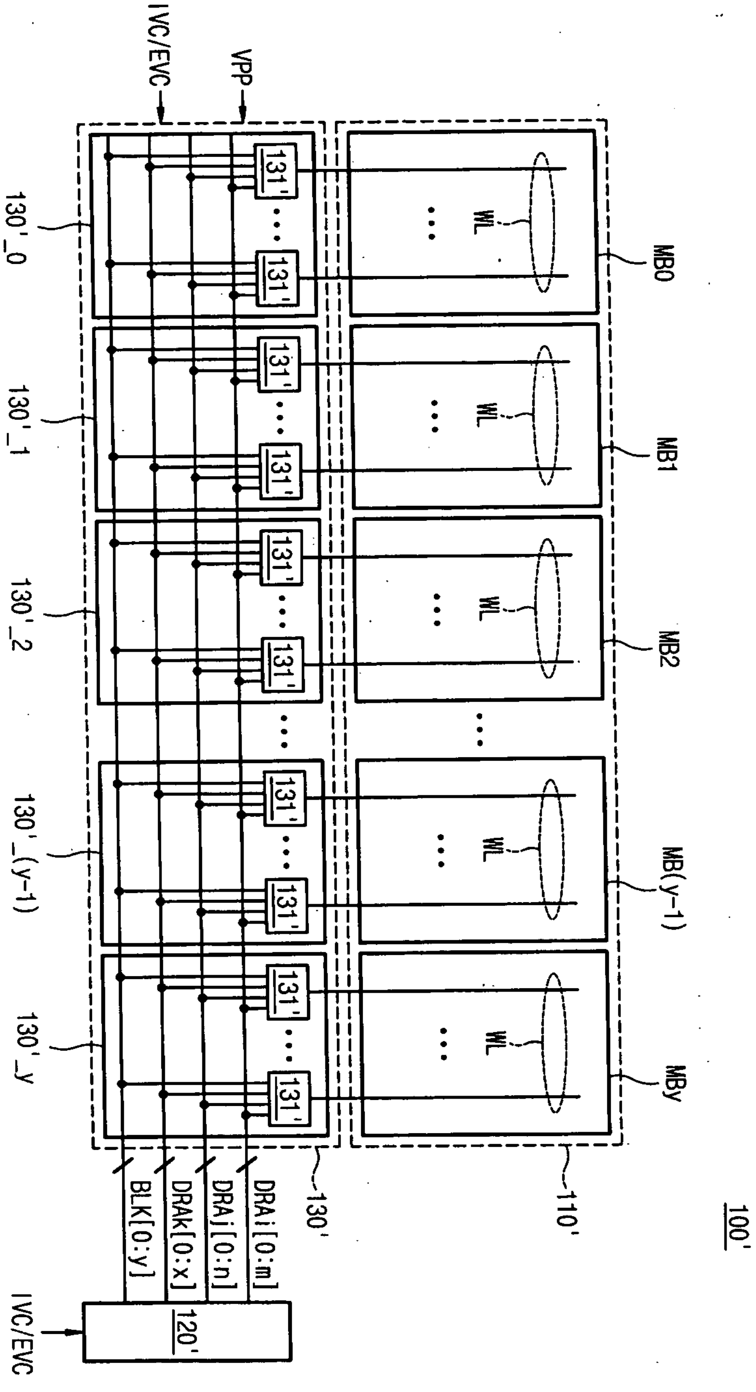
【도 7】


131
VPP
P_0
MP22
MP23
VPP
MP24
ND22
WL
MN27
ND24
VSS
DRA0k0(VPP)
MN24
ND23(VPP-Vtnh)
DRAi0(IVC/EVC)
MN25
DRAj0(IVC/EVC)
MN26
VSS
(Vtnh=2Vtnl)

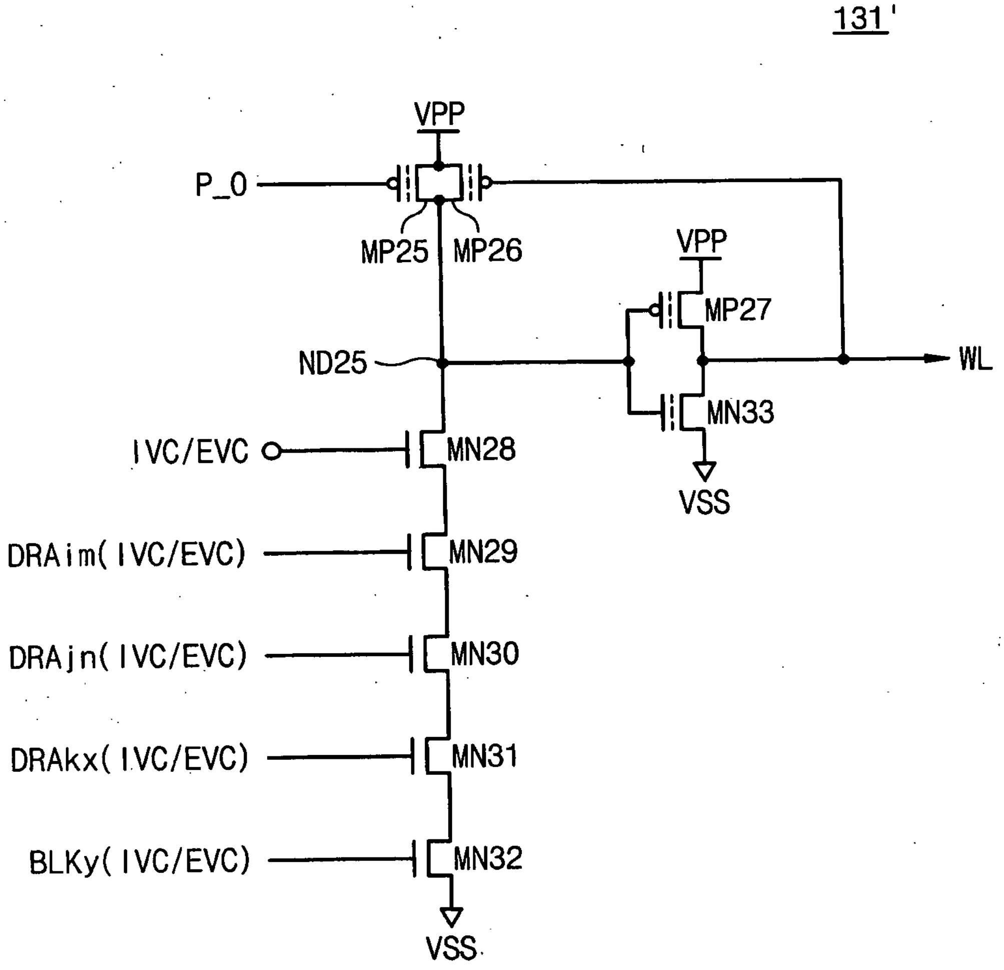
【도 8】


WL
ND22(도 7)
DRAim,DRAjn
DRAykx
P_0
tD
tD
VSS
VPP
VSS
VPP
VSS
EVCC/IVC
VSS
EVCC/IVC
VPP
VSS
VPP

【도 9】


IVC/EVC
VPP
131'
WL
MB0
MB1
MB2
MB(y-1)
MBy
130'_0
130'_1
130'_2
130'_(y-1)
130'_y
130'
110'
100'
DRAi[0:m]
DRAj[0:n]
DRAK[0:x]
BLK[0:y]
120'
IVC/EVC

【도 10】


131'
VPP
P_0
MP25
MP26
VPP
MP27
ND25
WL
MN33
VSS
IVC/EVC
MN28
DRAim(IVC/EVC)
MN29
DRAjn(IVC/EVC)
MN30
DRAkx(IVC/EVC)
MN31
BLKy(IVC/EVC)
MN32
VSS